

Docket No.: P2000,0342

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: August 26, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Florian Schamberger
Appl. No. : 10/600,916
Filed : June 20, 2003
Title : Circuit Configuration for Level Boosting, in Particular for Driving
a Programmable Link

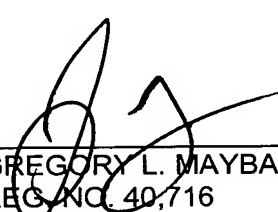
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 63 686.1 filed December 20, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: August 26, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 63 686.1

Anmeldetag: 20. Dezember 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Schaltungsanordnung zur Pegelerhöhung,
insbesondere zum Ansteuern einer programmierba-
ren Verbindung

IPC: G 11 C 17/18

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Hoiß

Beschreibung

Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer programmierbaren Verbindung

5

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer mit einem Energieimpuls programmierbaren Verbindung.

10 In Speicherchips, beispielsweise in SD-RAMs (Synchronous Dynamic Random Access Memory), welche beispielsweise einen Speicherplatz von 256 Megabit aufweisen, sind zur Bereitstellung von Redundanz üblicherweise Ersatz-Speicherzellen vorgesehen. Mit diesen können defekte Speicherzellen durch redundante, intakte Speicherzellen ersetzt werden. Hierfür sind
15 üblicherweise sogenannte Fuses vorgesehen, schmelzbare Verbindungen, welche beispielsweise mittels Laser oder mittels elektrischen Impulsen programmiert werden können. Bei einem 256 MB-RAM sind beispielsweise einige Tausend dieser Fuses
20 vorgesehen.

Bei den programmierbaren Verbindungen unterscheidet man Fuses, welche mit einem Energieimpuls dauerhaft von einem niederohmigen in einen hochohmigen Leitzustand umgeschaltet werden können, und Anti-Fuses, welche mittels eines Energieimpulses dauerhaft von einem nichtleitenden in einen leitenden
25 Zustand gebracht werden können.

Dieses Brennen, Aktivieren oder Schießen von schmelzbaren Verbindungen ist üblicherweise ein einmaliger, irreversibler Vorgang. Dieser Vorgang erfolgt bisher üblicherweise durch Aktivierung mittels Laser vor einem Vergießen des Speicherchips mit einem Kunststoffgehäuse. Demnach ist es nicht mehr möglich, nach dem Vergießen des Chips defekte Speicherzellen
30 zu reparieren.
35

Elektrisch aktivierbare, schmelzbare Verbindungen können auch nach Vergießen eines Chips aktiviert oder gebrannt werden. Dabei ist jedoch eine unzulässig hohe Stromaufnahme durch gleichzeitiges Schießen mehrerer Fuses zu vermeiden.

5

Zur Ansteuerung einer oder mehrerer Fuses und zum Bereitstellen eines Energieimpulses können Ansteuerschaltungen vorgesehen sein. Da in einem Speicherchip mehrere Tausend Fuses vorgesehen sein können, ist es besonders wichtig, derartige Ansteuerschaltungen mit geringer Bauelementanzahl realisieren zu können.

10

Aufgabe der vorliegenden Erfindung ist es, eine Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer programmierbaren Verbindung, anzugeben, welche das Ansteuern einer oder mehrerer Sicherungen mit geringer Chipfläche, geringer Anzahl von Bauelementen und geringer Stromaufnahme ermöglicht.

15

Erfindungsgemäß wird die Aufgabe gelöst mit einer Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer mit einem Energieimpuls programmierbaren Verbindung, aufweisend

20

eine Schaltung zur Erzeugung eines Ausgangssignals mit gegenüber einem Logikpegel eines Eingangssignal erhöhtem Signalpegel, umfassend

25

- eine Eingangsstufe, der an einem ersten Eingangsanschlußpaar ein erstes Eingangssignal mit dem Logikpegel zuführbar ist, mit einem zweiten Eingangsanschlußpaar, an dem ein zweites Eingangssignal mit dem Logikpegel zuführbar ist, mit einem ersten Schalterpaar, dessen Steuereingänge das erste Eingangsanschlußpaar bilden und mit einem zweiten Schalterpaar, das an das erste Schalterpaar unter Bildung einer logischen Verknüpfung der Eingangssignale angeschlossen ist und dessen

30

35

- Steuereingänge das zweite Eingangsanschlußpaar bilden,
- eine Ausgangsstufe, die an die Eingangsstufe angeschlossen ist, mit einem Anschluß zur Zuführung einer Brennspannung,

mit einem ersten Versorgungsspannungsanschluß, und mit einem Ausgangsanschluß, der mit der programmierbaren Verbindung gekoppelt ist und an dem das Ausgangssignal mit dem erhöhten Signalpegel ableitbar ist.

5

Gemäß dem beschriebenen Schaltungsprinzip ist eine Logikschaltung vorgesehen, welche zwei Eingangssignale miteinander verknüpft. Beispielsweise können die Eingangssignale ein Datensignal sein, welches die dauerhaft zu speichernde Information bereitstellt, sowie ein Aktiviersignal, in dessen Abhängigkeit ein Brennvorgang der schmelzbaren Verbindung erfolgen kann.

10

Die schmelzbare Verbindung kann als Fuse oder als Anti-Fuse ausgebildet sein.

15

Die Schaltung zur Pegelerhöhung eines Ausgangspegels bezüglich eines Eingangspegels ist insbesondere dann zur Ansteuerung einer schmelzbaren Verbindung vorteilhaft, wenn hohe Signalpegel, beispielsweise ein Spannungsimpuls großer Amplitude, zum Brennen der schmelzbaren Verbindung erforderlich sind. Beispielsweise kann ein CMOS-Logikpegel der Eingangssignale zwischen 0 Volt und 2,5 Volt liegen, während der Pegel, der zum Ansteuern eines Brenntransistors erforderlich sein kann, 3,5 Volt beträgt. Gemäß dem beschriebenen Prinzip können dadurch Bauteile eingespart sein, daß die Eingangsstufe der Schaltung zur Pegelerhöhung zugleich eine Teilschaltung der Logikschaltung ist. Selbst wenn hierdurch lediglich ein oder zwei Transistoren oder andere Bauelemente pro Ansteuerschaltung eingespart sind, so wirkt sich dies in einer Massenanwendung wie in einem Speicherchip dennoch signifikant auf die Gesamtschaltung dahingehend aus, daß diese einen deutlich geringeren Chipflächenbedarf sowie deutlich geringeren Strombedarf aufweist. Zudem ist der Fertigungsaufwand

20

25

30

35

In einer bevorzugten Weiterbildung der Schaltungsanordnung ist ein Schalter vorgesehen mit einem Steuereingang, der an den Ausgangsanschluß der Schaltung zur Pegelerhöhung angeschlossen ist und abhängig von den Eingangssignalen einen Anschluß seiner gesteuerten Strecke, dem eine Brennspannung zuführbar ist, auf einen weiteren Anschluß seiner gesteuerten Strecke durchschaltet, der an die programmierbare Verbindung anschließbar ist. Aufgrund der Schaltung zur Pegelerhöhung, mit der der Schalter ansteuerbar ist, ist ein sicheres Schalten und Sperren bei dem Schalter ermöglicht. Ein derartiger Schalter ermöglicht insbesondere das Bereitstellen eines Spannungs-Impulses zum Brennen einer Fuse oder Anti-Fuse. Der Schalter kann beispielsweise als CMOS-Feldeffekttransistor ausgeführt sein, dessen Gateanschluß mit dem Ausgangsanschluß der Schaltung zur Pegelerhöhung verbunden sein kann. Ist die schmelzbare Verbindung als Anti-Fuse ausgebildet, so ist mit dem Brennen derselben ein irreversibler Übergang der schmelzbaren Verbindung von einem hochohmigen in einen niederohmigen Leitzustand bewirkt. Ist die schmelzbare Verbindung hingegen als Fuse ausgebildet, so ist mit einem Brennen derselben der irreversible Übergang von einem niederohmigen in einen hochohmigen Leitzustand bewirkt.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung umfaßt die Eingangsstufe zwei Transistoren, von denen ein erster Eingangstransistor mit dem ersten Eingangssignal und ein zweiter Eingangstransistor mit dem invertierten ersten Eingangssignal ansteuerbar ist. Das Eingangssignal kann demnach als komplementäres Eingangssignal-Paar vorliegen. Das invertierte erste Eingangssignal kann aus dem ersten Eingangssignal in einfacher Weise durch Invertieren gewonnen sein. Besonders vorteilhaft ist jedoch die Weiterverarbeitung eines komplementären Eingangssignal-Paares in der Eingangsstufe dann, wenn das Eingangssignal-Paar ohnehin invertiert vorliegt, wie es in Schaltungsanordnungen zum Ansteuern einer mit einem Energieimpuls programmierbaren Verbindung ohnehin

der Fall sein kann. In diesem Fall ist die Bauelement-Ersparnis besonders groß.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung umfaßt die Schaltung zur Pegelerhöhung zwei kreuzgekoppelte Transistoren, die mit den Eingangstransistoren gekoppelt sind. Unter kreuzgekoppelten Transistoren sind dabei zwei Transistoren verstanden, von denen jeweils der Steuereingang eines Transistors mit einem Anschluß einer gesteuerten Strecke des jeweils anderen Transistors in einer Gegenkopplung verbunden ist. Die weiteren Anschlüsse der gesteuerten Strecken der kreuzgekoppelten Transistoren können an einen Versorgungsspannungsanschluß, insbesondere an einen Anschluß zur Zuführung einer Brennspannung angeschlossen sein.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung sind zur Kopplung der kreuzgekoppelten Transistoren mit den Eingangstransistoren zwei weitere Transistoren vorgesehen, die mit ihren Steuereingängen an einen ersten Versorgungsspannungsanschluß angeschlossen sind. Zur Realisierung der Schaltung zur Pegelerhöhung können die weiteren Transistoren an ein festes Potential mit ihren Steuereingängen angeschlossen sein, beispielsweise eine positive, feste Versorgungsspannung der Schaltungsanordnung. Diese Versorgungsspannung kann kleiner sein als die Brennspannung.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung umfaßt die zweite Teilschaltung der Logikschaltung zwei Transistoren, von denen ein dritter Eingangstransistor mit dem zweiten Eingangssignal und ein vierter Eingangstransistor mit dem invertierten zweiten Eingangssignal ansteuerbar ist. Für das als komplementäres Eingangssignal-Paar zuführbare zweite Eingangssignal gilt sinngemäß das bereits für das erste, als komplementäres Eingangssignal-Paar zuführbare Eingangssignal oben Beschriebene.

Während mit dem ersten Eingangssignal oder ersten Eingangssignal-Paar beispielsweise die mit der schmelzbaren Verbindung dauerhaft zu speichernde Information bereitgestellt sein kann, kann mit dem zweiten Eingangssignal oder mit dem zweiten Eingangssignal-Paar beispielsweise ein Aktiviersignal bereitgestellt sein, welches ein Aktivieren oder einen Brennvorgang der schmelzbaren Verbindung anzeigen kann.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung sind zur Bildung einer UND-Verknüpfung erster und vierter Eingangstransistor parallel - und zweiter und dritter Eingangstransistor seriell miteinander verschaltet.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung umfaßt die Schaltungsanordnung ein Schieberegister, das ein komplementäres Aktivier-Signalpaar bereitstellt, und das zu dessen Übermittlung mit Steuereingängen des dritten und vierten Eingangstransistors verbunden ist. Das Schieberegister kann dabei eine Registerzelle aufweisen, welche beispielsweise mit zwei gegengekoppelten Invertern realisiert ist. In diesem Fall ist ohne zusätzlichen Aufwand das komplementäre Aktivier-Signalpaar ohnehin invertiert und nicht-invertiert bereit gestellt.

Zudem kann mittels Aktivierung von Ansteuerschaltungen für schmelzbare Verbindungen mit einem Schieberegister wirksam ein unzulässig hoher Strom in der Schaltungsanordnung vermieden sein, denn die einzelnen Schieberegister, welche jeweils einer Ansteuerschaltung zugeordnet sein können, welche eine oder mehrere schmelzbare Verbindungen ansteuert, können seriell miteinander zu einer Schieberegisterkette verschaltet sein. Hierdurch kann mit einem eingangsseitig an der Schieberegisterkette anschließbaren Bitmuster-Generator ein Bitmuster bereit gestellt sein, welches ein zeitliches Steuern der Reihenfolge des Brennens der einzelnen schmelzbaren Verbindungen mittels der jeweils zugeordneten Ansteuerschaltungen ermöglicht.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung umfaßt die Schaltungsanordnung eine flüchtige Speicherzelle, die ein komplementäres Datensignalpaar bereitstellt, und die zu dessen Übermittlung mit Steuereingängen des ersten und zweiten Eingangstransistors verbunden ist. Die flüchtige Speicherzelle kann, ebenso wie die Registerzelle, vorteilhafter Weise als rückgekoppelter Inverter, der ein Latch mit einer Selbsthaltung bildet, ausgebildet sein. Hierdurch ist ohne zusätzlichen Schaltungsaufwand das komplementäre Datensignalpaar ohnehin invertiert und nicht-invertiert bereit gestellt. Somit kann in einfacher Weise eine zu programmierende Information unmittelbar vom flüchtigen Speicher über die Ansteuerschaltung dauerhaft mittels der schmelzbaren Verbindung gespeichert sein. Dies erfordert kein aufwendiges einzelnes Auswählen und Adressieren der schmelzbaren Verbindung.

In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist die Schaltungsanordnung in CMOS-Schaltungstechnik aufgebaut.

Weitere Einzelheiten der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird nachfolgend an einem Ausführungsbeispiel anhand der Zeichnung näher erläutert.

Es zeigt:

Die Figur ein Ausführungsbeispiel der Erfindung anhand eines vereinfachten Schaltbildes.

Die Figur zeigt eine als Antifuse ausgebildete programmierbare Verbindung 1, welche mit einem Anschluß an einen Versorgungsspannungsanschluß 16 und mit einem weiteren Anschluß an eine Ansteuerschaltung 2 angeschlossen ist. Die Ansteuer-

schaltung 2 ist zur Zuführung eines Aktiviersignals B, B' mit einem Schieberegister 3 verbunden. Weiterhin ist ein flüchtiger Speicher 4 vorgesehen, der zum einen zum Auslesen des Zustandes der Antifuse 1 mit dem weiteren Anschluß derselben verbunden ist und zum anderen zur Zuführung eines Datensignals A, A' an einem Dateneingang 11, 12 mit der Ansteuerschaltung 2 verbunden ist.

Die Ansteuerschaltung 2 umfaßt eine UND-Logikschaltung 7, welche Datensignal A, A' und Aktiviersignal B, B' in einer logischen UND-Verknüpfung miteinander verknüpft. Hierfür sind zwei parallelgeschaltete NMOS-Transistoren N1, N2 vorgesehen, von denen ein erster NMOS-Transistor N1 einen Steuereingang aufweist, der an einen Dateneingang 11 angeschlossen ist und ein zweiter NMOS-Transistor N2 einen Steuereingang aufweist, der zur Zuführung des Aktiviersignals B einen Aktiviereingang 14 aufweist. Weiterhin sind zur Zuführung jeweils komplementärer oder inverser Daten- und Aktiviersignale A', B' weitere NMOS-Transistoren N3, N4 in der UND-Logikschaltung 7 vorgesehen, welche mit ihren gesteuerten Strecken in Serie geschaltet sind, und von denen ein erster NMOS-Transistor N3 einen Steuereingang aufweist, der an einen Dateneingang 12 angeschlossen ist zur Zuführung des komplementären Datensignals A' und ein zweiter NMOS-Transistor N4 einen Steuereingang aufweist, der mit einem Aktiviereingang 13 zur Zuführung eines komplementären Aktiviersignals B' angeschlossen ist.

Die NMOS-Transistoren N1, N3 mit dem Dateneingang 11, 12 sind zugleich Teil einer Schaltung zur Pegelerhöhung 25, welche steuerseitig an den Brennt transistor 6 angeschlossen ist. Die Schaltung zur Pegelerhöhung 25, welche Teil der Ansteuerschaltung 2 ist, weist zwei kreuzgekoppelte PMOS-Transistoren P1, P2 auf, welche über weitere NMOS-Transistoren N5, N6 mit der UND-Logikschaltung 7 verbunden sind. Ausgangsseitig an der Schaltung zur Pegelerhöhung 25 ist ein als PMOS-Transistor ausgeführter Brennt transistor 6 angeschlossen, der mit einem Lastanschluß mit der Antifuse 1 sowie mit dem

flüchtigen Speicher 4 zum Auslesen des Zustands der Antifuse 1 verbunden ist.

- 5 Der flüchtige Speicher 4 umfaßt eine Speicherzelle 5, welche aus zwei miteinander verbundenen Invertern I1; P3, N7 gebildet ist. Dabei ist ein erstes Inverter I1 vorgesehen, an dessen Eingang 23 das Datensignal A ableitbar ist und an dessen Ausgang 24 ein komplementäres oder inverses Datensignal A' ableitbar ist. Ein PMOS-Transistor P3 sowie ein NMOS-Transistor N7, deren Steuereingänge miteinander und mit dem Ausgang des ersten Inverters I1 verbunden sind, bilden den zweiten Inverter, dessen Ausgang mit dem Eingang des ersten Inverters I1 im Schaltungsknoten 23 verbunden ist. Die Inverter I1 sowie P3, N7 bilden somit als Speicherzelle ein rückgekoppeltes Latch mit Selbsthaltung.

- 15 An der Speicherzelle 5 sind zum Zweck des Auslesens des aktuellen Zustands der Antifuse 1 Hilfseingänge 19, 20, 21 vorgesehen. Zunächst wird mit Hilfseingang 19 und einem daran mit seinem Steuereingang angeschlossenen PMOS-Transistor P4 zum Auslesen des Zustands der Antifuse 1 eine logische 1 in die Speicherzelle 5 geschrieben und dort selbstgehalten. Anschließend wird mit Hilfseingängen 20, 21, die zueinander komplementäre CMOS-Transistoren P5, N8 der Speicherzelle 5 ansteuern, ein Tristate-Zustand in der Speicherzelle 5 angedeutet, welcher die Speicherzelle 5, insbesondere den Inverter P3, N7 hochohmig macht und dort selbstgehalten. An- 20 16 verbindet. Zugleich wird ein ebenfalls an Hilfseingang 19 zu seiner Steuerung angeschlossener NMOS-Transistor N9, welcher Speicherzelle 5 angeschlossener am Eingang des ersten Inverters I1 in der Schaltungsknoten am Eingang 23, wenn die Antifuse 1 ebenfalls hochohmig ist, geöffnet. Hierdurch ist bewirkt, daß der Schaltungsknoten am Eingang des ersten Inverters I1 in der Speicherzelle 5 hochohmig bleibt, wenn die Antifuse 1 niederohmig ist, und in einen niederohmigen Zustand übergeht, wenn die Antifuse geschossen ist. Im 30 35 Antifuse 1 niederohmig, das heißt bereits geschossen ist. Im letzteren Fall entlädt sich der Eingangsknoten des ersten In-

verters I1, welcher das Datensignal A bereitstellt, über Transistor N9 und die in diesem Fall leitende Antifuse 1. Sobald der Zustand der Antifuse 1, das heißt, ob die Antifuse niederohmig leitend oder hochohmig ist, als logische 0 oder 1 in die Speicherzelle 5 ausgelesen ist, werden die hierfür an den Hilfseingängen 20, 21 angelegten Signale entfernt und die Speicherzelle 5 geht wieder in Selbsthaltung über. Mit einem Inverter I2, welcher an den Ausgang des ersten Inverters I1 mit seinem Eingang angeschlossen ist, kann das Datensignal A beziehungsweise das inverse Datensignal A' an einem Ausgang 22 aus Speicherzelle 5 ausgelesen werden. Weiterhin ist die Speicherzelle 5 mit einem Adresseingang ADDR gekoppelt, der eingangsseitig an drei hintereinandergeschalteten Invertern I7, I8, I9 angeschlossen ist. Zur Kopplung des Adresseingangs ADDR mit der Speicherzelle 5 sind weiterhin zwei Paare von NMOS-Transistoren N9, N10; N11, N12 vorgesehen, deren Steuereingänge mit einem Strobe-Eingang STR und mit einem Pointer-Eingang PTR verbunden. Mittels Strobe- und Pointer-Signalen auf den Auswahlleitungen Strobe STR, Pointer PTR kann ein Bit einer Adresse einer Speicherzelle beispielsweise eines SD-RAMs in die Speicherzelle 5 geschrieben werden, wobei die Speicherzelle im SD-RAM, auf die die Adresse zeigt, von der ein Bit am Eingang ADDR zuführbar ist, fehlerhaft sein kann. Ist die Adresse fehlerhaft, so kann mit Auswahlleitungen Strobe, Pointer STR, PTR, welche hierzu aktivierbar sind, das am Adress-Eingang ADDR anliegende Bit der betreffenden fehlerhaften Speicherzellenadresse in die Speicherzelle 5 geschrieben werden.

Mit Speicherzelle 5 kann jedoch, da diese lediglich einen flüchtigen Speicher bildet, keine dauerhafte Speicherung des Bits der Adresse der fehlerhaften Speicherzelle ermöglicht sein. Deshalb ist mit der beschriebenen Ansteuerschaltung 2 das Auslesen der Speicherzelle 5, das heißt des Datensignals A, A' über die bereits beschriebenen UND-Steuerlogik 7 sowie das dauerhafte Speichern des ausgelesenen Datums mit dem Brenntransistor 6 in der Antifuse 1 möglich. Die UND-Logik-

schaltung 7 verknüpft dabei das Datensignal A, A' mit einem Aktiviersignal B, B' in einer UND-Verknüpfung. Folglich wird die Antifuse 1 nur dann gebrannt oder geschossen, wenn sowohl in Speicherzelle 5 eine logische 1 gespeichert ist, als auch
5 zusätzlich am Aktiviereingang 13, 14 eine logische 1 durch das Aktiviersignal B, B' bereitgestellt ist. Schließlich ist für einen Brennvorgang der Antifuse 1 gemäß Ausführungsbeispiel noch erforderlich, daß eine Brennspannung C an den die bereits beschriebene Pegelerhöhungsschaltung bildenden PMOS-
10 Transistoren P1, P2 sowie am Brenntransistor 6 anliegt.

Das Aktiviersignal B, B' kann nun gemäß der vorliegenden Erfindung mit dem Schieberegister 3 in der Registerzelle 9 bereit gestellt sein, welche ebenfalls zwei gegengekoppelte In-
15 verter I3, I4 aufweist, welche eine Selbsthalteschaltung bilden. Am Eingang der Registerzelle 9, sowie am Ausgang der Registerzelle 9 ist jeweils ein als PMOS-Transferrgate ausgeführter Schalter 8, 10 angeschlossen. Während der eingangsseitig angeschlossene Schalter 8 mit einem ersten Taktsignal
20 CL1, CL1' ansteuerbar ist, kann der ausgangsseitig angeordnete Schalter 10 mit einem zweiten Taktsignal CL2, CL2', welches dem Schalter 10 zuführbar ist, angesteuert werden. Über einen NMOS-Transistor N13, welcher den Eingang der Speicherzelle 9 mit einem Versorgungsspannungsanschluß 16 verbindet,
25 und der steuerseitig an einen Rücksetz-Eingang RES angeschlossen ist, kann der Speicherinhalt der Registerzelle 9 zurückgesetzt werden. Ausgangsseitig an Registerzelle 9 und dem ausgangsseitigen Schalter 10 nachgeschaltet weist das Schieberegister 3 eine weitere Selbsthalteschaltung auf, welche mit zwei ebenfalls gegengekoppelten Invertern I5, I6 rea-
30 lisiert ist und den Schalter 10 mit einem Ausgang 18 des Schieberegisters 3 koppelt. Der Eingang des Schieberegisters 3, welcher an einen Eingang des eingangsseitigen Schalters 8 angeschlossen ist, ist mit 17 bezeichnet.

35

Wie bereits beschrieben, werden Speicherzellen in SD-RAM-Chips, welche beispielsweise 256 Megabit Speicherplatz haben

können, über Adressen selektiert. Eine solche Adresse kann beispielsweise 25 Bit aufweisen. Zur Adressierung einer einzelnen Speicherzelle eines SD-RAM-Chips sind demnach 25 der in der Figur gezeigten Schaltungen, umfassend Antifuse 1, Ansteuerschaltung 2, flüchtiger Speicher 4 und Schieberegister 3 erforderlich. Um beim Brennen der Antifuses 1 jedoch einen unzulässig hohen Stromfluß, welcher kurzzeitig pro Antifuse circa 1 mA betragen kann, zu vermeiden, können die einzelnen Ansteuerschaltungen 2 für die Antifuses 1 mit Schieberegister 3 nacheinander oder teilweise gleichzeitig selektiert oder angesprochen werden. Hierfür können die mehreren Schieberegister 3 in einer Serienschaltung miteinander verbunden sein, wobei jeweils ein Eingang 17 einer Schieberegisterschaltung 3 mit einem Ausgang 18 einer anderen Schieberegisterschaltung 3 verbunden sein kann. Hierdurch ist eine Schieberegisterkette gebildet. Die miteinander über Schalter 8, 10 jeweils verbundenen Registerzellen 9 können auch als ein Register aufgefaßt werden. Am Eingang der ersten Registerzelle kann ein Bitmuster-Generator angeschlossen sein, der in vorliegender Figur nicht eingezeichnet ist. Darf lediglich eine Antifuse gleichzeitig gebrannt werden, so ist mit dem Bitmuster-Generator am Eingang der Schieberegisterkette eine Bitfolge bereitstellbar, welche lediglich eine logische 1 aufweist und mit Nullen aufgefüllt wird. Diese logische 1 wird nun nacheinander durch alle Registerzellen 9 des Schieberegisters geschoben, so daß jeweils mit dem jeweiligen Aktiviersignal B nur eine Ansteuerschaltung 2 zur Zeit aktiviert ist. Zur Steuerung des Ablaufes sind die Taktsignale CL1, CL1' und CL2, CL2' vorgesehen. Können mehrere Antifuses 1 gleichzeitig gebrannt werden, so können mit Schieberegister 3 selbstverständlich auch mehrere, unmittelbar aufeinander folgende Einsen oder in einem einstellbaren Abstand durch Nullen beabstandete Einsen durch die Schieberegisterkette geschoben werden.

Die beschriebene Schaltungsanordnung ermöglicht mit dem schnellen, flüchtigen Speicher 4 eine Korrektur fehlerhafter Speicherzellen in einem Massenspeicherchip in Echtzeit. Bei-

spielsweise vor einem Ausschalten des Massenspeicherchip können die jeweiligen Adressen der fehlerhaften Speicherzellen dauerhaft geschrieben werden, wofür die Ansteuerschaltungen 2 und die Antifuse 1 vorgesehen sind. Somit ist ein Brennen von

5 Antifuses 1 zur dauerhaften Speicherung fehlerhafter Adressen, genauer Adressen fehlerhafter Speicherzellen, ermöglicht. Dieses ist auch nach Vergießen und Umhäusen des Massenspeicherchips noch möglich, da die Antifuse 1 elektrisch ansteuerbar ist. Schließlich bietet die Erfindung den Vor-

10 teil, daß nicht nur ein unzulässig hoher Brennstrom durch gleichzeitiges Brennen zu vieler Antifuses auftreten kann, sondern daß zudem durch beliebig generierbare und durch die Registerzellen 9 schiebbare Bitmuster eine beliebige Anzahl Antifuses 1 gleichzeitig sowie in beliebiger Reihenfolge ge-

15 brannt werden können.

An einen Lese-Eingang RD sind weiterhin die Steueranschlüsse zweier Lesetransistoren R1, R2 angeschlossen. Dabei koppelt die gesteuerte Strecke des ersten Lesetransistors R1 den Ein-

20 gang der weiteren Speicherzelle I5, I6 des Schieberegisters 3 mit dem Eingang des zweiten Inverters I2 am Ausgang der Speicherzelle 5. Der zweite Lesetransistor R2 koppelt mit seiner gesteuerten Strecke den Ausgang der weiteren Speicherzelle I5, I6 des Schieberegisters 3 mit dem Ausgang des zweiten In-

25 verters I2 und damit dem Ausgang 22 des flüchtigen Speichers 4. Bei Aktivieren der Leseleitung am Lese-Eingang RD können somit in einfacher Weise die in der Speicherzelle 5 gespeicherten Daten beziehungsweise das in Speicherzelle 5 gespeicherte Bit ausgelesen und in das in Selbsthaltung betriebene

30 Latch I5, I6 geschrieben werden. Zur Datenübertragung in umgekehrter Richtung ist an einen Schreib-Eingang WR je ein Steuereingang je eines ersten und zweiten Schreib-Transistors W1, W2 angeschlossen, die ebenso wie die Lesetransistoren R1, R2 als NMOS-Transistoren ausgebildet sind. Dabei koppelt die

35 gesteuerte Strecke des ersten Schreib-Transistors W1 den Eingang der Registerzelle 9 mit einem Eingang der Speicherzelle 5 und der zweite Schreib-Transistor W2 koppelt mit seiner ge-

steuerten Strecke den Ausgang der Registerzelle 9 des Schieberegisters 3 mit einem Eingang der Speicherzelle 5 im flüchtigen Speicher 4.

- 5 Mit den beschriebenen Schreib- und Lese-Transistoren ist in einfacher Weise eine Kopplung zur bidirektionalen Datenübertragung zwischen Speicherzelle 5 und Registerzelle 9, das heißt zwischen flüchtigem Speicher 4 und Schieberegister 3 bewirkt. Bei besonders geringem Flächenbedarf erfüllt das
- 10 Schieberegister 3 somit eine Doppelfunktion: zum einen ist ein einfaches und schnelles Auslesen und Beschreiben der Speicherzelle 5 möglich, und zum anderen ist mit dem Schieberegister eine Information zum Aktivieren des Brenntransistors 6 zum Brennen der als Antifuse ausgebildeten programmierbaren
- 15 Verbindung 1 übermittelbar.

Patentansprüche

1. Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer mit einem Energieimpuls programmierbaren Verbindung (1), aufweisend
5 eine Schaltung zur Erzeugung eines Ausgangssignals mit gegenüber einem Logikpegel eines Eingangssignal erhöhtem Signalpegel (25), umfassend
- eine Eingangsstufe (7), der an einem ersten Eingangsanschlußpaar ein erstes Eingangssignal (A, A') mit dem Logikpegel zuführbar ist, mit einem zweiten Eingangsanschlußpaar, an dem ein zweites Eingangssignal (B, B') mit dem Logikpegel zuführbar ist, mit einem ersten Schalterpaar (N1, N3), dessen Steuereingänge das erste Eingangsanschlußpaar bilden und mit einem zweiten Schalterpaar (N2, N4), das an das erste Schalterpaar unter Bildung einer logischen Verknüpfung der Eingangssignale (A, A'; B, B') angeschlossen ist und dessen Steuereingänge das zweite Eingangsanschlußpaar bilden,
10 - eine Ausgangsstufe (N5, N6, P1, P2), die an die Eingangsstufe (7) angeschlossen ist, mit einem Anschluß zur Zuführung einer Brennspannung (C), mit einem ersten Versorgungsspannungsanschluß (15), und mit einem Ausgangsanschluß, der mit der programmierbaren Verbindung (1) gekoppelt ist und an dem das Ausgangssignal mit dem erhöhten Signalpegel ableitbar ist.
15
20
25

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß
30 ein Schalter (6) vorgesehen ist mit einem Steuereingang, der an den Ausgangsanschluß der Schaltung zur Pegelerhöhung (25) angeschlossen ist und abhängig von den Eingangssignalen (A, A', B, B') einen Anschluß seiner gesteuerten Strecke, der mit dem Anschluß zur Zuführung der Brennspannung (C) verbunden
35 ist, auf einen weiteren Anschluß seiner gesteuerten Strecke durchschaltet, der an die programmierbare Verbindung (1) angeschlossen ist.

3. Schaltungsanordnung nach Anspruch 1 oder 2,
dadurch gekennzeichnet, daß
die Eingangsstufe als erstes Schalterpaar zwei Transistoren
5 (N1, N3) umfaßt, von denen ein erster Eingangstransistor (N1)
mit dem ersten Eingangssignal (A) und ein zweiter Eingangs-
transistor (N3) mit dem invertierten ersten Eingangssignal
(A') ansteuerbar ist.

10 4. Schaltungsanordnung nach Anspruch 3,
dadurch gekennzeichnet, daß
die Schaltung zur Pegelerhöhung (25) zwei kreuzgekoppelte
Transistoren (P1, P2) umfaßt, die mit den Eingangstransisto-
ren (N1, N3) gekoppelt sind.

15 5. Schaltungsanordnung nach Anspruch 4,
dadurch gekennzeichnet, daß
zur Kopplung der kreuzgekoppelten Transistoren (P1, P2) mit
den Eingangstransistoren (N1, N3) zwei weitere Transistoren
20 (N5, N6) vorgesehen sind, die mit ihren Steuereingängen an
den ersten Versorgungsspannungsanschluß (15) angeschlossen
sind.

25 6. Schaltungsanordnung nach einem der Ansprüche 3 bis 5,
dadurch gekennzeichnet, daß
das zweite Schalterpaar (N2, N4) der Eingangsstufe zwei Tran-
sistoren umfaßt, von denen ein dritter Eingangstransistor
(N4) mit dem zweiten Eingangssignal (B) und ein vierter Ein-
gangstransistor (N2) mit dem invertierten zweiten Eingangs-
30 signal (B') ansteuerbar ist.

7. Schaltungsanordnung nach Anspruch 6,
dadurch gekennzeichnet, daß
erster und vierter Eingangstransistor (N1, N2) parallel und
35 zweiter und dritter Eingangstransistor (N3, N4) seriell mit-
einander verschaltet sind zur Bildung einer UND-Verknüpfung.

8. Schaltungsanordnung nach Anspruch 6 oder 7,
dadurch gekennzeichnet, daß
die Schaltungsanordnung ein Schieberegister (3) umfaßt, das
ein komplementäres Aktivier-Signalpaar (B, B') bereitstellt
5 und das zu dessen Übermittlung als zweites Eingangssignal mit
Steuereingängen (14, 13) des dritten und vierten Eingang-
stransistors (N2, N4) verbunden ist.

9. Schaltungsanordnung nach einem der Ansprüche 3 bis 8,
10 dadurch gekennzeichnet, daß
die Schaltungsanordnung eine flüchtige Speicherzelle (5) um-
faßt, die ein komplementäres Datensignalpaar (A, A') bereit-
stellt, und die zu dessen Übermittlung als erstes Eingangs-
signal mit Steuereingängen (11, 12) des ersten und zweiten
15 Eingangstransistors (N1, N3) verbunden ist.

10. Schaltungsanordnung nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
die Schaltungsanordnung in CMOS-Schaltungstechnik aufgebaut
20 ist.

Zusammenfassung

Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer programmierbaren Verbindung

5

Es ist eine Schaltungsanordnung zur Pegelerhöhung, insbesondere zum Ansteuern einer mit einem Energieimpuls programmierbaren Verbindung (1) angegeben, welche auch als Fuse bezeichnet wird. Die Schaltungsanordnung weist eine Schaltung zur Pegelerhöhung (25) sowie eine Logikschaltung (7) auf. Die Logikschaltung verknüpft ein erstes mit einem zweiten Eingangssignal (A, B) und steuert einen Eingang der Schaltung zur Pegelerhöhung (25), wobei der Ausgangspegel eines Ausgangssignals der Schaltung zur Pegelerhöhung größer als der Eingangspegel ist. An einem Ausgangsanschluß der Schaltung zur Pegelerhöhung (25) ist eine schmelzbare Verbindung (1) anschließbar. Da eine Eingangsstufe (N1, N3) der Schaltung zur Pegelerhöhung (25) zugleich eine erste Teilschaltung der Logikschaltung (7) ist, ermöglicht die Schaltungsanordnung einen besonderen bauteil- und flächensparenden Aufbau. Dies wirkt sich insbesondere bei Anordnung in Massenspeicher-Chips vorteilhaft aus.

10

15

20

Figur

Bezugszeichenliste

A, A'	Datensignal
ADDR	Adress-Eingang
B, B'	Aktiviersignal
C	Brennspannung
CL1, CL1'	Taktsignal
CL2, CL2'	Taktsignal
I1 bis I9	CMOS-Inverter
N1 bis N13	NMOS-Transistor
P1 bis P5	PMOS-Transistor
PTR	Pointer-Eingang
RD	Lese-Eingang
WR	Schreib-Eingang
RES	Rücksetz-Eingang
R1	Lesetransistor
R2	Lesetransistor
STR	Strobe-Eingang
1	Programmierbare Verbindung
2	Ansteuerschaltung
3	Schieberegister
4	Flüchtiger Speicher
5	Speicherzelle
6	Brenntransistor
7	Und-Logikschaltung
8	Schalter
9	Registerzelle
10	Schalter
11, 12	Dateneingang
13, 14	Aktiviereingang
15	Versorgungsspannungsanschluß
16	Versorgungsspannungsanschluß
17	Eingang
18	Ausgang
19, 20, 21	Hilfseingang
22	Ausgang
23	Ausgang

- 24 Ausgang
- 25 Schaltung zur Pegelerhöhung

Fig

